Міністерство освіти і науки України

Львівський національний університет ім. Івана Франка

Факультет прикладної математики

та інформатики

**АРХІТЕКТУРА ОС ТА СХЕМОТЕХНІКА**

**Звіт**

до лабораторної роботи №3 на тему:

**ПОБУДОВА І ДОСЛІДЖЕННЯ СУМАТОРІВ**

Виконав:

студент гр. ПМО-11

Барський А.В.

Прийняв:

Рикалюк Р.Є.

Львів – 2021

**Звіт по роботі**

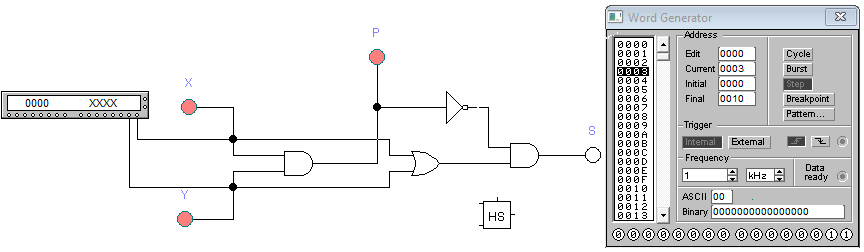
**Мета:** з використанням можливості пакета EWB побудувати логічні схеми напівсуматорів та суматорів на базі логічних елементів. Перевірити роботу схем та створити макроелементи кожної схеми.

**Формула логічного виразу:** b+7.

**План виконання роботи:**

1. За допомогою елементарних логічних схем було синтезовано у робочому полі логічну схему напівсуматора.

**Досліджувана схема напівсуматора:**

****

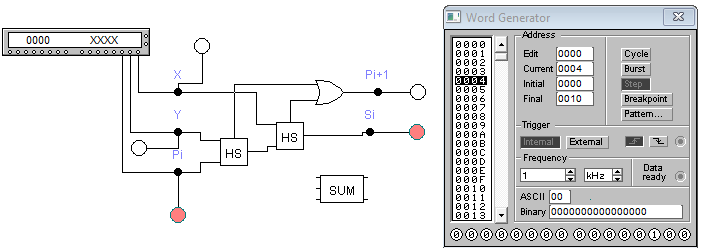
1. Далі було приєднано входи схеми до вихідних клем молодших розрядів генератора слів, а виходи до індикатора. За допомогою клавіші STEP генератора слів покроково перебрано всі комбінації вхідних сигналів. Результати записано у таблицю істинності.

**Таблиця істинності для напівсуматора**

|  |  |  |  |
| --- | --- | --- | --- |
| **X** | **Y** | **S** | **P** |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 |

1. За допомогою елементарних логічних схем було синтезовано у робочому полі логічну схему суматора.

**Досліджувана схема суматора:**

****

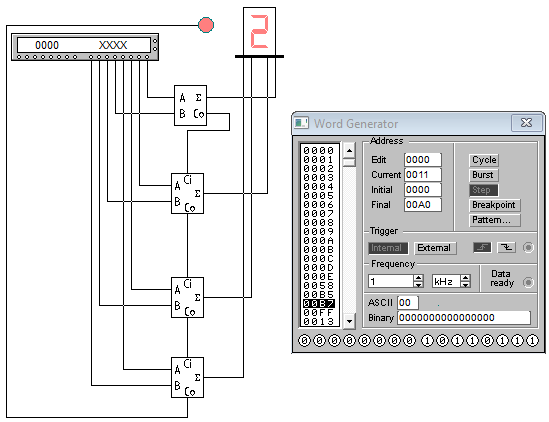
1. Далі було приєднано входи схеми до вихідних клем молодших розрядів генератора слів, а виходи до індикатора. За допомогою клавіші STEP генератора слів покроково перебрано всі комбінації вхідних сигналів. Результати записано у таблицю істинності.

**Таблиця істинності для логічної схеми повного суматора**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **X** | **Y** | **Pi** | **Si** | **Pi+1** |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

1. За допомогою мaкроелементів SM синтезувано у робочому полі схему 4-розрядного двійкового суматора та виконано додавання двох чисел відповідно до свого варіанту.

**Досліджувана схема 4-розрядного двійкового суматора:**

****

**Висновок:** під час виконання практичної роботи я освоїв роботу з пакетом Electronics Workbench (EWB). Ознайомився з можливостями пакету щодо побудови схеми суматора. Застосував набуті знання для побудови простих логічної схеми напівсуматора, схеми повного суматора та 4-розрядного двійкового суматора. Перевірив роботу схем і виконав операцію додавання двох 4-розрядних чисел.